

## REALISTIČNO KREIRANJE REČNIKA DEFEKATA U CMOS KOLIMA

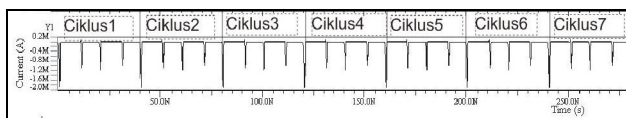
Milena Stanojlović, Inovacioni centar ETF-a u Beogradu, Univerzitet u Beogradu, milena@venus.elfak.ni.ac.rs

**Sadržaj** – U radu će biti predstavljena saznanja koja se odnose na modelovanje defekata u lejautu. Ovako modelovani defekti simuliraju realnu situaciju kvarova u nekom kolu. Pristupom koji je predložen omogućeno je realistično kreiranje rečnika defekata integrisanih CMOS kola. NSDDL (No Short circuit current Dynamic Differential Logic) Master/Slave D flip flop (MSDFF) ćelija biće iskorišćena za realno simuliranje defekata.

### 1. UVOD

Kako se dobijeni rezultati testiranja nadovezuju na već objavljene rezultate neophodno je obaviti kratak pregled ranijih rezultata. U radu koji je publikovan [1] obavljeno je testiranje NSDDL MSDFF ćelije gde su ispitivani defekti tipa permanantnog kratkog spoja kao i prazan hod. Testiranje se obavljalo tako što su defekti unošeni u šemu, pojedinačno, jedan za drugim. Za svaki uneti defekt obavljena je ponovna simulacija, a dobijeni rezultati poređeni su sa rezultatima ispravnog kola [2]. Kolo se sastoji od 88 tranzistora, a na svakom tranzistoru je moguće modelovati po 6 defekata i to tri prekida G, D, S (gejt, drejn, sors) kao i tri kratka spoja GD (gejt-drejn), GS (gejt-sors) i DS (drejn-sors). Zbog simetričnosti kola olakšavajuća okolnost je ta što je broj ispitivanih defekata redukovana na 264. Svaki efekat defekta je prvo posmatran sa strane narušavanja logičke funkcije kola. Tako je otkriveno 232 defekta i to isključivo posmatranjem i poređenjem izlaznog signala ispravnog kola i kola sa defektom. Za defekte koji ne narušavaju standardnu funkciju kola bila je potrebna dodatna analiza.

Struja napajanja je slika svih događaja u kolu i upravo iz ovog razloga često se koristi za potrebe testiranja integrisanih kola. Prepoznavanje prisustva izobličenja može se uočiti upoređivanjem spektra struje napajanja ispravnog i kola sa defektom. Na osnovu sistematizovanih rezultata ovakvim merenjem detektovano je još 9 defekata. Sledeći korak bio je da se vrednost integrala struje napajanja računa u određenim ciklusima zbog specifičnog rada kola. Ovako kriptovano kolo radi u tri faze koje čine jedan ciklus. Porede se vrednosti integralne struje ispravnog i kola sa defektom i to pri istim ulaznim kombinacijama, posebno, za svaki ciklus događaja. Na slici 1 prikazana je struja napajanja ispravnog kola sa označenim ciklusima koji se posmatraju.



Slika 1. Struja napajanja ispravnog kola sa označenim ciklusima

Ovakvim načinom merenja otkriveno je još dodatnih 11 defekata tako da je broj nedetektibilnih defekata sveden na minimalnih 12.

Sada kada je izvršen kratak pregled ranijih rezultata može se videti da su neki defekti ostali nedetektovani. Sledeća ideja koja se javila je bila da se ti defekti modeluju

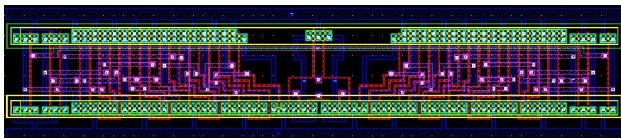
direktno u lejautu. Tu su se javili prvi problemi jer je simuliranje defekata unetih u šemu obavljeno pre nego što je lejaut isprojektovan. To znači da neke defekte nije bilo moguće modelovati posebno već uvek u paru sa nekim drugim defektom. Ova konstatacija će biti objašnjena dalje u radu. Pored ovog došlo se do bitnih saznanja vezanih za parazitne veličine koje su ekstrahovane iz lejauta. One mogu znatno da utiču na promenu odluke o detektovanju defekata donete na osnovu električne simulacije. U tekstu biće korišćeni termini električna kao i post-lejaut simulacija. Kada se kaže električna simulacija misli se da su za tranzistore korišćeni samo Spice modeli dok je postlejaut simulacija specifična zbog uključivanja parazitnih veličina ekstrahovanih iz lejauta.

### 2. UTICAJ EKSTRAHOVANIH PARAZITNIH VELIČINA NA DETEKCIJU DEFEKATA

Nekada parazitne veličine koje se javljaju u lejautu mogu doprineti da se defekt u kolu otkrije, međutim nekada mogu i da potru isti. Pod parazitnim veličinama podrazumevaju se uparene kapacitivnosti (CC) kao i stablo otpornosti-kapacitivnosti (RC) koje se nalaze u okviru PEX (*Parasitic Extraction*) ekstrahovane netliste [3]. Može se desiti da defekt u kolu ostane nedetektovan na osnovu dobijenih rezultata električnom simulacijom dok se, zbog parazitnih veličina, detektuje postlejaut simulacijom kao i obrnuto. Rezultati dobijeni postlejaut simulacijom daju realnu sliku ponašanja nekog kola pa se nakon fabrikacije nekog čipa očekuju gotovo isti rezultati. Bitno je napomenuti da nikako ne treba zanemariti električnu simulaciju. Potrebno je odrediti uslove pod kojima se može tvrditi da će se rezultati ponoviti i u postlejaut simulaciji. Takođe, jedna od možda i najvažnijih stvari, kada se radi električna simulacija je određivanje skupa defekata koje je moguće simulirati. To znači da je neophodno da se po uzoru na lejaut definiše skup defekata u kolu koji se mogu desiti.

Prilikom projektovanja lejauta cilj projektanta je da na što manjem prostoru smesti što veći broj istanci ne kršeći pravila projektovanja. Da bi se ovo postiglo traži se najbolje rešenje rasporeda istanci kola, konkretno u ovom slučaju tranzistora. Ovo predstavlja veliki izazov za svakog projektanta iz razloga što je potrebno grupisati tranzistore istog tipa kako bi se formirale P i N mreže tako da, gde god je to moguće, svaki naredni tranzistor ima zajednički sors ili drejn sa prethodnim u istoj mreži. Prilikom formiranja ovih mreža treba obratiti pažnju i na njihov međusobni odnos zbog jednostavnosti povezivanja [4]. Ovo su samo neki od uslova koji se tiču projektovanja lejauta. Primer jednog lejauta dat je na slici 2, a koji predstavlja kriptovanu NSDDL MSDFF ćeliju. Ova ćelija će biti testirana kako bi se pokazali neki značajni rezultati. U radu nije stavljen akcenat na metod za kriptovanje već na testiranje ćelije pa stoga ovaj metod neće biti detaljnije objašnjavan. Tek kada se osmisli raspored tranzistora može se početi sa crtanjem lejauta po pravilima projektovanja za određenu tehnologiju. Odavde se može zaključiti da izgled lejauta može imati mnogo rešenja ali se uvek traži optimalno. Razlog zašto se neki defekti ne mogu simulirati pojedinačno, kao što je to moguće u električnoj simulaciji, je taj što je redak slučaj da se

tranzistori projektuje posebno u leajutu već su gotovo uvek upareni. Tako se dešava da defekt modelovan u leajutu obuhvata dva defekta u električnoj šemi npr. dva tranzistora imaju zajednički dejn/sors i mogu ići jedino kao dupli defekt. Ovo objašnjenje pokriva tvrdnju da je neophodno raditi testiranje po uzoru na leajut jer u suprotnom testiranje ne predstavlja realan slučaj pa se neki defekti nikada neće ni desiti u kolu.



Slika 2. Leajut NSDDL M/S D flip flop kriptovane ćelije

Ovaj rad upravo potvrđuje da rezultati koji su objavljeni ranije nisu relevantni u realnom slučaju. Kada se posmatra samo šema to jesu tačni rezultati ali u poređenju sa leajutom to se ne može reći. Zato ćemo na nekim primerima pokazati podudarnost rezultata za detekciju defekata koji su izvodljivi kako u šemi tako i u leajutu. Pored toga biće razmatrana i odstupanja u rezultatima dobijena električnom u odnosu na rezultate dobijene postleajut simulacijom.

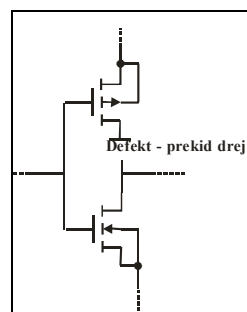
### 3. REZULTATI ISTRAŽIVANJA

Naša istraživanja pokazuju da nije dovoljan uslov za detektovanje defekta samo loš odziva kola već je potrebno da i struja napajanja daje dovoljnu indikaciju da je defekt u kolu prisutan. Tek onda se može reći da će se defekt otkriti i u postleajut simulaciji. Sve vrednosti struja napajanja kola sa defektom, koje se vrlo malo razlikuju od struje napajanja ispravnog kola potrebno je dodatno istestirati i to modelovanjem defekta u leajutu. Pored ovog uslova neophodno je modelovati defekte u šemi po uzoru na leajut što je već u par navrata rečeno.

#### A. Mogućnost modelovanja pojedinačnih defekata u leajutu.

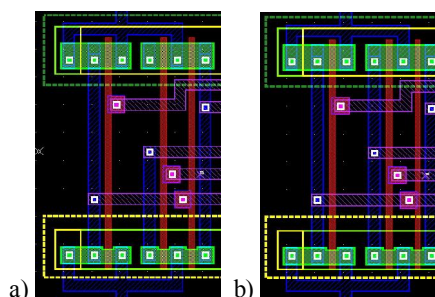
Postoje defekti koji se mogu modelovati kao pojedinačni kako u šemi tako i u leajutu. Rezultati električne i postleajut simulacije se u ovakvim slučajevima poklapaju pa je i pokrivenost defekata ista.

1. Tako se rezultati dobijeni električnom simulacijom poklapaju sa rezultatima dobijenim postleajut simulacijom za defekt tipa prekid drejna PMOS tranzistora. Slika 3 prikazuje modelovani defekt u šemi, slika 4.a modelovani defekt u leajutu dok 4.b prikazuje leajut posmatranog tranzistora bez defekta.

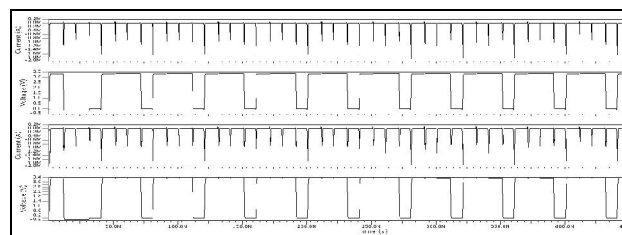


Slika 3. Defekt tipa prekid drejna PMOS tranzistora modelovanog u šemi

Na slici 5 prikazani su talasni oblici dobijeni električnom kao i postleajut simulacijom za kolo sa defektom. Može se videti da su rezultati istovetni za obe simulacije.



Slika 4. a) Modelovani defekt u leajutu tipa prekid drejna PMOS tranzistora b) Prikaz leajuta bez defekta



Slika 5. Talasni oblici struje napajanja i odziva kola sa defektom dobijenih električnom (1. i 2.) kao i postleajut (3. i 4.) simulacijom

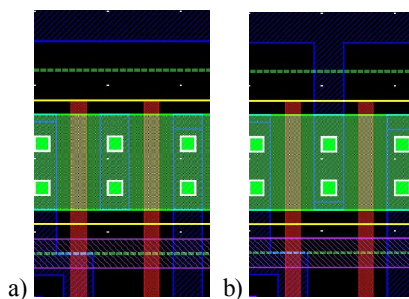
#### B. Nemogućnost modelovanja pojedinačnih defekata u leajutu

Defekte koji se ne mogu pojedinačno modelovati u leajutu potrebno je u šemi modelovati po uzoru na leajut. To znači da će se neki defekti u leajutu sastojati od dva pojedinačna defekta koja bi se mogla modelovati u šemi. Da bi se mogli porediti rezultati dobijeni električnom sa rezultatima dobijenim postleajut simulacijom potrebno je modelovati istovetne defekte u šemi po uzoru na leajut. Ono što je veoma zanimljivo je da dobijeni rezultati električnom i postleajut simulacijom u nekim situacijama daju različite rezultati o pokrivenosti defekata.

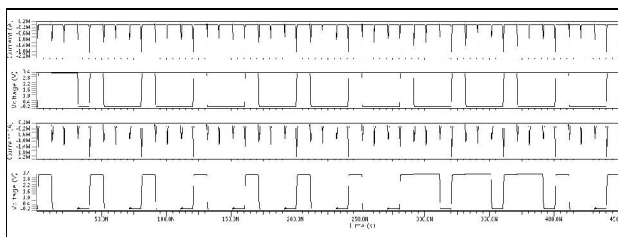
1. Primer jednog takvog slučaja je defekt D1 koji obuhvata prekid sorsa dva PMOS tranzistora. U šemi je moguće ovaj defekt razdvojiti na dva pojedinačna dok je zbog načina projektovanja to neizvodljivo u leajutu. Usled ovog defekta rezultati dobijeni električnom simulacijom

pokazuju da se funkcija kola razlikuje od funkcije ispravnog kola što znači da je defekt detektabilan dok su struje napajanja identične. Kada se ovaj defekt modeluje u lejautu, slika 6.a, i dobijeni rezultati uporede sa rezultatima ispravnog kola može se uvideti da se defekt nije pokazao. Slika 6.b prikazuje deo lejauta ispravnog kola za posmatrani tranzistor.

U tabeli 1 mogu se videti obrađeni rezultati dobijeni električnom kao i postleljaut simulacijom za pomenuti defekt. Ona predstavlja rečnik defekata sa ograničenim brojem defekata. Rezultati obe simulacije ukazuju da se defekt nije utisnuo u struju napajanja. Posmatran je integral struje ispravnog i kola sa defektom za svaki ciklus posebno i to kako za električnu tako i za postleljaut simulaciju. Ono što je ovde bitno naglasiti je to da ukoliko bi se uzela u obzir samo električna simulacija i posmatrao samo odziva kola smatralo bi se da je defekt detektabilan. Zbog uticaja parazitnih veličina, kada se posmatraju rezultati dobijeni postleljaut simulacijom, on postaje neprepoznatljiv tako da u realnom slučaju ovaj defekt ne bi bio detektovan. Prva dva talasna oblika na slici 7 prikazuju struju napajanja i odziv kola sa defektom dobijenih električnom simulacijom dok druga dva odslikavaju rezultate dobijene postleljaut simulacijom.



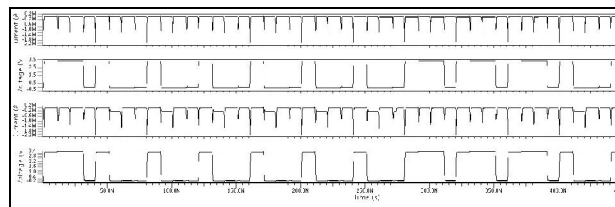
Slika 6. a) Modelovani defekt u lejautu tipa prekid drejna PMOS tranzistora b) Prikaz lejauta bez defekta



Slika 7. Talasni oblici struje napajanja i odziva kola sa defektom D1 dobijenih električnom (1. i 2.) kao i postleljaut(3. i 4.) simulacijom

2. Sa druge strane kada se sumiraju rezultati električne simulacije za defekt D8, koji takođe obuhvata prekid zajedničkog sorsa dva PMOS tranzistora, ni struja ni odziv kola ne ukazuju da u kolu postoji defekt. Ovo nije slučaj sa rezultatima dobijenim postleljaut simulacijom gde struja napajanja odslikava defekt u kolu dok je odziv nepromenjen. U tabeli 1 dati su rezultati na osnovu kojih se jasno može zaključiti da u kolu postoji defekt. Sve ovo potvrđuju i talasni oblici prikazani na slici 8 gde je talasni oblik struje napajanja dobijene postleljaut simulacijom (treći po redu na slici) vidno različit od talasnog oblika struje

napajanja kada je u pitanju električna simulacija (prvi na slici).



Slika 8. Talasni oblici struje napajanja i odziva kola sa defektom dobijenih električnom (1. i 2.) kao i postleljaut (3. i 4.) simulacijom

I u ovom slučaju pokazalo se da rezultati simulacija, električne i postleljaut, ne poklapaju. To potvrđuje da nije dovoljno osloniti se samo na električnu simulaciju već je neophodno simuliranje realnih dešavanja u kolu. Upravo iz ovih razloga smatra se da je neophodno da se pojedini defekti modeluju direktno u lejautu kako ne bi došlo do pogrešnih zaključaka. Dakle, parazitne veličine se nikako ne smeju zanemariti jer se njihovim uključenjem obavlja simulacija najpribližnija realnoj situaciji. Ovakav način testiranja je dosta složen i zahteva mnogo više vremena za sprovođenje u delo. Zato se ne preporučuje kao osnovni način testiranja već kao alternativa za one defekte koje je teško otkriti električnom simulacijom.

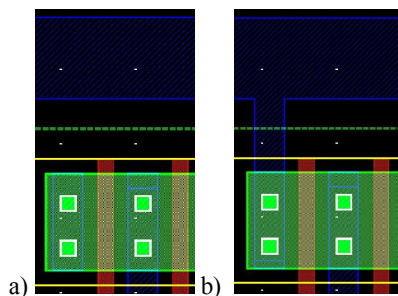
Tabela 1. Poređenje strauja napajanja ispravnog i kola sa defektima D1 i D8

Defekt	D1		D8	
	Električn a	Postlej.	Električn a	Postlej.
(Int.IDD <sub>ispravno</sub> – Int.IDD <sub>def</sub> ) / Int.IDD <sub>ispravno</sub> * 100				
Ciklus1	1%	0.25%	0%	-38.16%
Ciklus2	1%	0.14%	0%	-38.23%
Ciklus3	1%	0.10%	0%	-38.25%
Ciklus4	1%	0.11%	0%	-38.25%
Ciklus5	1%	0.13%	0%	-38.23%
Ciklus6	0%	0.12%	0%	-45.50%
Ciklus7	0%	0.01%	0%	0.39%
Ciklus8	0%	0.01%	0%	0.01%
Ciklus9	1%	-0.30%	0%	0.10%
Ciklus10	1%	0.10%	0%	-38.25%
Ciklus11	1%	0.12%	0%	-38.23%

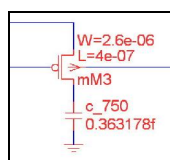
#### 4. PRIKAZ PARAZITNIH VELIČINA

Da bi se stekao opšti utisak o parazitnim veličinama koje su obuhvaćene postleljaut simulacijom pokazaćemo deo šeme koja ih obuhvata. Posmatraće se onaj priključak tranzistora na kome je modelovan defekt. Pomoću PEX (*Parasitic Extraction*) netliste estrahovane iz lejauta, koja uključuje RC stablo (otpornosti i kapacitivnosti) i CC mrežu (uparene kapacitivnosti) moguće je prikazati novu električnu šemu korišćenjem softverskog alata *SpiceVision Pro*.

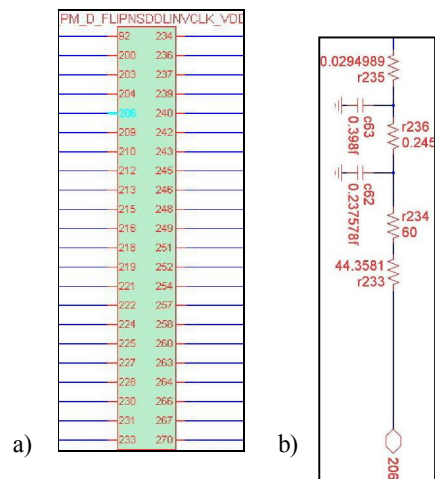
Dakle, ovaj alat od PEX netliste formira šemu, koja je daleko gabaritnija u odnosu na početnu, sa svim uključenim parazitnim veličinama u kolu [5, 6]. Može se slobodno reći da je ovo velika prednost zbog velikog broja parazitnih CC i RC veličina koje je naporno posmatrati i tražiti po netlisti. Ovakav alat znatno olakšava posao, a ono što je potrebno je locirati tranzistor na kome je modelovan defekt i pratiti veze njegovih priključaka. Tako će ovde biti prikazane parazitne veličine koje se javljaju kada jeste odnosno nije prisutan defekt u kolu. Zbog gabaritnosti šema sa parazitnim veličinama neće se uzeti u obzir defekti o kojima je ranije govoreno. Defekt koji se može desiti u kolu kao zaseban i to kao prekid sorsa modelovan je na tranzistoru M3 u leajutu i prikazan je na slici 9a. Slika 10 prikazuje parazitnu veličinu koja se javlja kao posledica modelovanja defekta na priključku sorsa PMOS tranzistora. Može se videti da je priključak tranzistora povezan sa kondenzatorom  $c_{750}$ , a čiji je drugi kraj povezan sa masom. To nije slučaj kada u kolu ne postoji defekt već se posmatra ispravan tranzistor. Kada se pogleda leajut ispravnog tranzistora sa slike 9b može se videti da je njegov sors povezan na Vdd. Kod ispravno povezanog tranzistora postoji veći broj parazitnih veličina nastao usled veze sorsa tranzistora M3 i napajanja Vdd. Parazitne veličine koje se javljaju prema napajanju uključene su u Vdd potkolo koje je prikazano na slici 11a. Takođe, na ovoj slici označen je i port 206 koji je povezan sa sorsom tranzistora M3. Bitno je reći da Vdd potkolo objedinjuje sve parazitne veličine tranzistora čiji su priključci vezani za Vdd. Parazitne veličine koje su uključene u Vdd potkolo, a javljaju se za tranzistor M3 na kome ne postoji defekt, prikazane su na slici 11.b. Kada se uporede slike 10 i 11.b jasno se vidi da je kolo bez defekta povezano sa većim brojem parazitnih veličina koje su dalje uključene u Vdd mrežu. Isključivanjem ovakvih parazitnih veličina, odnosno RC stabla, dolazi do disbalansa koji može dovesti do nepravilnog rada kola. Kada se govori o ostalim potkolima i ona nastaju kao posledica zajedničkih tačaka komponenti u leajutu npr. GND potkolo. Svako potkolo sastoji se od velikog broja parazitnih veličina koje omogućuju realno simuliranje kola.



Slika 9. a) Modelovani defekt u leajutu tipa prekid sorsa PMOS tranzistora b) Prikaz leajuta bez defekta



Slika 10. Prikaz parazitne veličine na priključku sorsa PMOS tranzistora



Slika 11. a) Vdd potkolo b) Prikaz parazitnih veličina uključenih u Vdd potkolo za tranzistor bez defekta

## 5. ZAKLJUČAK

U ovom radu predstavljeno je realno simuliranje defekata odnosno realno kreiranje rečnika defekata CMOS integrisanih elektronskih kola. Dati su primeri zašto je ovakav način simuliranja defekata neophodan kao i to da se ne može u potpunosti primeniti samo električna simulacija za donošenje određenih odluka. Misli se na to da li se može reći da je neki defekt u kolu detektovan ili ne posmatranjem jedino rezultata dobijenih električnom simulacijom. Pored toga rečeno je da modelovanje defekata u šemi treba raditi po uzoru na leajut zbog mogućnosti realnog događanja takvih defekata u kolu. Takođe, dat je primer parazitnih veličina ekstrahovanih iz leajuta za jedan tranzistor i to kada na njemu jeste modelovan defekt. Opšti zaključak koji se može izvući iz ovog rada je da se modelovanje defekata u leajutu treba obavljati za sve one defekte koji se ne mogu detektovati električnom simulacijom ili se na osnovu rezultata može zaključiti da vrlo malo utiču na struju napajanja. Zbog parazitnih veličina, nakon postleajut simulacije, može se desiti potpuni preokret gde će se ovakav defekt utisnuti u struju napajanja, promeniti funkciju kola ili oba, što predstavlja realan efekt defekta.

## ZAHVALNOST

Rezultati prikazani u ovom radu delimično su ostvareni u okviru projekta TR 32004 koji je finansiran od strane Ministarstva nauke Republike Srbije.

## LITERATURA

- [1] M. Stanjlović and V. Litovski, *Simulation of Defects in the Sequential NSDDL Master/Slave D Flip Flop Circuit*, Proceedings of Small System Simulation Symposium 2012, Niš, Serbia, 12.02.-14.02., 2012, pp. 145-149, ISBN 978-86-6125-059-0.
- [2] V. Litovski: *Osnovi testiranja elektronskih kola*, Elektronski fakultet, Niš, 2009, ISBN 978-86-85195
- [3] S. Hillebrecht, I. Polian, P. Engelke, B. Becker, M. Keim and W. T. Cheng, *Extraction, Simulation and Test Generation for Interconnect Open Defects Based on Enhanced Aggressor-Victim Model*, Test Conference, 2008. ITC 2008. International, ISBN 1-4244-4203-0/08 2008 IEEE, Santa Clara, CA

- [4] V. Litovski: "Projektovanje elektronskih kola", DGIP Nova Jugoslavija, Vranje, 2000.
- [5] F. Hapke, R. Krenz-Baath, A. Glowatz, J. Schloeffel, H. Hashempour, S. Eichenberger, C.Hora and D. Adolfsson, *Defect-Oriented Cell-Aware ATPG and Fault Simulation for Industrial Cell Libraries and Designs*, Test Conference, 2009. ITC 2009. International, ISBN 978-1-4244-4868-5, Austin, TX.
- [6] S. Spinner, I. Polian, P. Engelke, B. Becker, M. Keim, and W. T. Cheng, *Automatic Test Pattern Generation for Interconnect Open Defects*, VLSI Test Symposium, ISBN 978-0-7695-3123-6, 2008. VTS 2008. 26th IEEE, San Diego, CA.

**Abstract** – In this paper our knowledge about modeling of defects in the layout will be presented. The defect models simulate realistic situation of faults in a circuit. Proposed approach enables creation of realistic faults dictionary of CMOS integrated circuits. We used NSDDL (No Short circuit current Dynamic Differential Logic) Master/ Slave D flip flop (MSDFF) cell for realistic defects simulation.

**REALISTIC CREATION OF FAULTS DICTIONARY  
IN CMOS INTEGRATED CIRCUITS**

Milena Stanojlović